



① BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenl gungsschrift**
⑩ **DE 42 35 152 A 1**

⑳ Aktenzeichen: P 42 35 152.9
㉑ Anmeldetag: 19. 10. 92
㉒ Offenlegungstag: 21. 4. 94

㉓ Int. Cl.⁹:
H 01 L 21/335
H 01 L 21/76
H 01 L 29/804
H 01 L 29/784
H 01 L 27/105
H 01 L 31/103

DE 42 35 152 A 1

㉔ Anmelder:
Institut für Halbleiterphysik GmbH Frankfurt(Oder),
15230 Frankfurt, DE

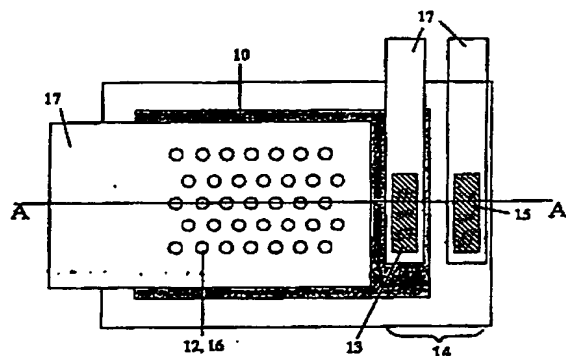
㉕ Vertreter:
Bomberg, S., Pat.-Anw., 15230 Frankfurt

㉖ Erfinder:
Winkler, Wolfgang, Dr.-Ing., O-1200 Frankfurt, DE;
Temmler, Dietmar, Dr.-Ing., O-1200 Frankfurt, DE;
Heinemann, Bernd, Dipl.-Phys., O-1200 Frankfurt,
DE; Wolff, André, Dipl.-Ing., O-1200 Frankfurt, DE;
Ritter, Georg, Dr.rer.nat., O-1200 Frankfurt, DE;
Blum, Katrin, Dipl.-Chem., O-1200 Frankfurt, DE;
Schneider, Hartmut, O-1200 Frankfurt, DE;
Erzgräber, Heide, Dr.-Ing., O-1200 Frankfurt, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

㉗ Verfahren zur Herstellung einer Halbleiterfeinstruktur und damit hergestellte Halbleiterbauelemente, beispielsweise Vertikaltransistoren

㉘ Die Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiterfeinstruktur und damit hergestellte Halbleiterbauelemente, beispielsweise Vertikaltransistoren. Der Erfindung liegt die Aufgabe zugrunde, durch eine deutliche Verringerung der Abmessungen der Siliziumsäulen einer Halbleiterfeinstruktur hochleistungsfähige Halbleiterbauelemente zu schaffen, die sich mit an sich bekannten Ätz- und Implantationsverfahren realisieren lassen. So wird auf einem Halbleitergrundmaterial aus monokristallinem Silizium eine Schichtenfolge Silizium-Nitrid, Silizium-Oxyd und rauhes Poly-Silizium aufgebracht. Das Poly-Silizium wird dann durch Anätzen in einzelne kleine Silizium-Inseln mit einem Durchmesser von etwa 50 nm zerteilt, die durch weitere Verfahrensschritte in ebenso feingliedrige Siliziumsäulen ausgebildet werden. Der Vorteil der Erfindung besteht darin, daß in den kleinen aktiven Bauelementestrukturen die Wirkung eines Transistor-Gates auf den Transistorkanal intensiver erfolgt und somit die Steuervirkung verbessert ist, was sich durch eine steile Subthreshold-Kennlinie zeigt. Die Kanallänge kann bis zum Sub-0,25 µm-Bereich reduziert werden, ohne daß merkliche Substratsteuereffekte auftreten.



DE 42 35 152 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 02. 84 408 018/323

6/48

Stand der Technik

Die Erfindung betrifft ein Verfahren zur Herstellung einer Halbleiterfeinstruktur und damit hergestellte Halbleiterbauelemente, beispielsweise Vertikaltransistoren.

Aus der Fachliteratur sind Herstellungsverfahren für Säulentransistoren (Multi-Pillar Surrounding Gate Transistor) bekannt, die die konventionellen Herstellungsschritte der Mikroelektronik, wie Fotolithographie, Ätz- und Abscheideverfahren nutzen (IEEE Transaction on Electron Devices, Vol. 38, No. 3, March 1991, S. 579/583, oder DE 32 30 569).

Nach der Wannen-Definition und dem konventionellen LOCOS-Prozeß für die Feldoxidation werden Silizium-Inseln formiert, die die späteren aktiven Zonen des Transistors bilden. Die Inselstrukturen werden mittels Fotolithographie mit einer SiO_2 -Hilfsmaske in ihrer Lage definiert und durch Trench-Ätzprozesse strukturiert. Danach wird ein Seiten-Spacer aus Poly-Silizium aufgebracht und die Source- und Draingebiete implantiert (Arsen).

Nach der Entfernung des Seiten-Spacers wird durch thermische Prozesse ein Gate-Oxyd von ca. 10 nm Dicke erzeugt. Danach wird eine n-dotierte Poly-Silizium-Schicht abgeschieden und bis auf die Seitenwände der Säulen wieder weggeätzt.

Der Prozeß kann auch so modifiziert werden, daß die Zwischenräume der Säulen vollständig mit Poly-Silizium ausgefüllt werden. Dazu wird die SiO_2 -Hilfsmaske für die Trenchätzung mit einem Spacer aus SiN versehen, so daß beim Trench-Ätzen die Abstände zwischen den Silizium-Inseln kleiner werden und dafür aber die Silizium-Inseln einen größeren Durchmesser erhalten.

Zum Schluß werden mittels fotolithografischer Prozesse Kontaktlöcher geätzt sowie eine Metallisierung ausgeführt mit anschließender Strukturierung der Leitbahnen zum Anschluß der Elektroden Gate, Source und Drain. In der Gesamtheit der oben beschriebenen Prozesse entsteht eine Transistorstruktur mit mehreren säulenförmigen aktiven Bauelementezonen, die besonders für den Einsatz in hochintegrierten Schaltungen für hohe Taktfrequenzen geeignet ist. Nachteilig bei der beschriebenen Herstellungstechnologie ist aber, daß die Geometrie der Säulen durch Prozesse der Fotolithographie festgelegt wird. Dadurch können die für das Bauelementwirkprinzip günstigeren Abmessungen bei dem gegenwärtigen Stand der Technik nicht realisiert werden.

Weiterhin ist es notwendig, eine Spacertechnologie bei der Trench-Hilfsmaske zu verwenden, um die Zwischenräume zwischen den Säulen vollständig mit dem Gatematerial auszufüllen, wodurch wiederum der Durchmesser der Säulen vergrößert wird. Dadurch wird die Steuerwirkung des Gate auf den Transistor-Kanal weiter verringert, da der Bulk-Effekt verstärkt wird.

Die genannten Probleme könnten umgangen werden, wenn hochauflösende Strukturierverfahren, zum Beispiel die Elektronenstrahlbelichtung eingesetzt werden. Derartige Verfahren sind jedoch für eine Serienproduktion ökonomisch nicht vertretbar.

So ist es das Ziel der Erfindung, ein ökonomisch vertretbares Verfahren zu schaffen, welches die bekannten Nachteile ausschließt und hochleistungsfähige Halbleiterbauelemente geschaffen werden können.

Der Erfindung liegt die Aufgabe zugrunde, durch die Verringerung der Abmessungen der Säulen einer Halbleiterfeinstruktur hochleistungsfähige Bauelemente zu schaffen, die sich mit an sich bekannten Verfahren realisieren lassen.

Diese Aufgabe wird mit den kennzeichnenden Merkmalen des Hauptanspruchs gelöst.

Eine weitere Aufgabe der Erfindung war die Schaffung einer kombinierbaren Halbleiterstruktur für unterschiedliche Bauelemente, welche durch die kennzeichnenden Merkmale der Nebenansprüche 2 bis 9 gelöst wird.

Ein wesentliches Ausgestaltungsmerkmal der Erfindung war die Ausbildung eines vertikalen MOS-Transistors, der durch die kennzeichnenden Merkmale der Nebenansprüche 3, 6 und 7 gelöst wird.

Schließlich war es Aufgabe der Erfindung, einen vertikalen Sperrschichttransistor zu schaffen, welche durch die kennzeichnenden Merkmale der Nebenansprüche 4 und 6 gelöst wird.

Der Vorteil der Erfindung besteht darin, daß in den kleinen aktiven Bauelementestrukturen die Wirkung eines Transistor-Gates auf den Transistorkanal intensiver erfolgt und somit die Steuerwirkung durch eine steile Subthreshold-Kennlinie verbessert wird. Die Kanallänge kann bis zum Sub $0,25 \mu\text{m}$ reduziert werden, ohne daß Substratsteuereffekte auftreten.

Weiterhin kann die Kanal-Dotierungskonzentration erniedrigt werden, ohne die Punchthrough-Gefahr zu erhöhen, wodurch die Beweglichkeit der Ladungsträger im Kanal vergrößert wird.

Weitere Vorteile und vorteilhafte Ausgestaltungen der Erfindung sind der nachfolgenden Beschreibung des Ausführungsbeispiels, den Zeichnungen und den Ansprüchen zu entnehmen.

Ausführungsbeispiel

Die Erfindung soll nachstehend an Hand von Ausführungsbeispielen näher erläutert werden. In den zugehörigen Zeichnungen zeigen

Fig. 1 einen Grundriß eines nach erfindungsgemäßen Verfahrens hergestellten Vertikaltransistors,

Fig. 2a) bis g) verschiedene Stufen des Verfahrens zur Herausbildung der erforderlichen Halbleiterfeinstruktur und

Fig. 2h) den Querschnitt eines Vertikaltransistors in der Ebene A-A nach Fig. 1.

Der dargestellte Vertikaltransistor ist ausgebildet auf einem Halbleitergrundmaterial 1 aus einkristallinem Siliziummaterial, vorzugsweise p-dotiert.

Auf der Oberfläche des Halbleitergrundmaterials 1 befinden sich in lokaler Begrenzung Siliziumsäulen 12, die aus dem gleichen monokristallinen Material bestehen, nur daß in den Siliziumsäulen unter Umständen eine Dotierung vorherrscht, die mehr oder weniger von der des Halbleitergrundmaterials abweicht.

Die Siliziumsäulen 12 besitzen vorzugsweise eine Abmessung von ca. 50 nm Durchmesser und eine Höhe von ca. 400 nm , der Abstand zwischen den Siliziumsäulen 12 ist unregelmäßig und beträgt im Mittel 50 bis 200 nm , wobei die Höhe der Siliziumsäulen 12 für unterschiedliche Anwendungsfälle variierbar ist.

In den Tälern zwischen den Siliziumsäulen 12 und am anderen oberen Ende befinden sich hochdotierte Gebiete 7a, 7b mit Dotierungen vom N-Typ mit Dotierungs-

konzentration n um 10^{19}cm^{-3} und einer vertikalen Ausdehnung von ca. 100 nm. Der untere Teil der hochdotierten Gebiete 7b ist im Bereich der Siliziumsäulen 12 netzförmig miteinander verbunden und erstreckt sich in einem Kontaktbereich 14 auch auf Gebiete, in denen keine Siliziumsäulen vorhanden sind.

An den Seitenwänden der Siliziumsäulen 12 und in den dazwischenliegenden Tälern befindet sich eine dünne SiO_2 -Schicht, die das Gateoxid 9 bildet, ansonsten ist der Zwischenraum zwischen den Siliziumsäulen 12 durch eine hochdotierte Gate-Schicht 10 ausgefüllt, welches sich ebenfalls teilweise in den Kontaktbereich 14 erstreckt.

Auf der Oberfläche der Gate-Schicht 10 ist zur Isolation des Gate eine weitere Oxydschicht 11 aufgebracht, die der Isolation des Gate dient.

Auch die hochdotierten Gebiete 7b sind im Kontaktbereich 14 mit einer Oxydschicht 11 bedeckt, die an der Stelle unterbrochen ist, wo der Sourcekontakt 15 angebracht ist.

Der Drainkontakt 16 ist im oberen Bereich der Siliziumsäulen 12 an den hochdotierten Gebieten 7a ausgebildet. Die Verbindung zu den Kontakten von Source, Gate und Drain wird über eine strukturierte Metallschicht 17 hergestellt.

Für die Herstellung eines Vertikaltransistors wird zunächst ein Halbleitergrundsubstrat 1 mit geringer P-Dotierung vorgesehen. Auf dieses werden eine Silizium-Nitridschicht 2 von ca. 50 nm Dicke, eine SiO_2 -Schicht 3 von ca. 100 nm Dicke und eine Poly-Silizium-Schicht 4 von etwa 100 nm Dicke abgeschieden (Fig. 2a).

Die Poly-Silizium-Schicht 4 wird bei einer Temperatur von ca. 590°C abgeschieden und befindet sich dadurch in einem inhomogenen, teils kristallinen, teils amorphen Zustand mit einer rauen Oberfläche. Mittels einem fotolithografischen Verfahren wird die Poly-Silizium-Schicht 4 strukturiert, so daß diese nur an Stellen stehen bleibt, an denen später die aktiven Transistorstrukturen entstehen. Danach wird diese Poly-Silizium-Schicht 4 zurückgeätzt, so daß einzelne, isolierte Silizium-Inseln 5 zurückbleiben (Fig. 2b). Diese Silizium-Inseln mit einem Durchmesser von ca. 50 nm werden als Ätzmaske genutzt für einen nachfolgenden anisotropen Ätzschritt, der die SiO_2 -Schicht 3 und die Silizium-Nitridschicht 2 durchätzt, so daß die Masken-Säulen 6 stehen bleiben (Fig. 2c).

In einem weiteren isotropen Ätzschritt (RIE — Reaktives Ionenätzen) wird in die Oberfläche des Halbleitergrundsubstrates 1 ca. 400 nm hineingeätzt, wobei die Masken-Säulen 6 als Ätzmaske dienen. Nach dem Entfernen der Reste der Masken-Säulen 6 (außer den Nitrid-Kappen 8) wird eine Ionenimplantation vorgenommen, mit deren Hilfe hoch dotierte Gebiete 7a, 7b vom n-Typ am oberen Ende bzw. in den Tälern zwischen den entstandenen Silizium-Säulen 12 erzeugt werden (Fig. 2d). Die Implantation wird so vorgenommen, daß eine Dotierungskonzentration $N_D \geq 10^{19} \text{cm}^{-3}$ erreicht wird und der PN-Übergang ca. 100 nm unterhalb der Oberfläche liegt. Um die Seitenwände der Silizium-Säulen 12 zu schützen, ist es möglich, eine dünne Schutzschicht aufzubringen, die nach der Implantation wieder entfernt wird. Durch thermische Oxidation wird dann ein Gateoxid 9 erzeugt. Die Nitrid-Kappen 8 wirken dabei als Oxidationsmaske, so daß an der oberen Grenzfläche der Silizium-Säulen kein Oxid entsteht. Danach wird eine dicke Gate-Schicht 10 aus Poly-Silizium abgeschieden und planarisiert, so daß die oberen Nitrid-Kappen 8 freigelegt werden. Danach wird die Gate-Schicht

10 mittels Fotolithographie strukturiert, die Oberfläche wird oxydiert (ca. 100 nm) und es werden die Nitrid-Kappen 8 entfernt. In dem Kontaktlochbereich 14 werden mittels Fotolithographie Kontaktlöcher in die Oxidschicht 11 geätzt. Danach wird eine Metallschicht oder Silizidschicht abgeschieden und strukturiert, so daß Leitbahnen 17 entstehen, die die elektrische Verbindung von Gate, Source und Drain herstellen und damit auch Gatekontakt 13, Drainkontakt 16 und Sourcekontakt 15 ausbilden.

Der beschriebene grundsätzliche Herstellungsprozeß für N-Kanal-Transistoren kann modifiziert werden, um auch P-Kanal-Transistoren herzustellen, um komplementäre Transistoren auf einem Chip herzustellen oder um die Isolation zwischen mehreren Transistoren zu verbessern.

Für die Herstellung von P-Kanal-Transistoren werden die Dotierungstypen verändert. Für die Chip ist es notwendig, eine N-Wanne zu erzeugen (bei P-Substrat). Das kann vorteilhaft nach dem Herausätzen der Silizium-Säulen 12 erfolgen, da dann die meisten Dotier-Ionen in den Tälern zwischen den Silizium-Säulen in das Halbleitergrundmaterial 1 eindringen und deshalb mit einer geringen Ionenenergie gearbeitet werden kann.

Bei komplementären Schaltungen kann die Gefahr von Latch-up beseitigt werden, indem zumindest bei einem Transistortyp (N- oder P-Kanal) immer die oberen hoch dotierten Gebiete 7a als Source betrieben werden.

Die Isolation zwischen den einzelnen Transistoren in einer integrierten Schaltung kann verbessert werden, indem zwischen den Transistoren auf dem Halbleitergrundmaterial 1 dickere Oxydschichten erzeugt werden (z. B. Feldoxid).

Um die Ladungsträgerbeweglichkeit in den Transistorkanälen zu vergrößern ist es möglich, auf die Seitenwände dünne Schichtkombinationen aus Silizium und Silizium-Germanium aufzubringen (z. B. durch CVD-Prozesse) und damit Spannungszustände in den Silizium-Säulen hervorzurufen.

Zur Einstellung der Schwellspannung werden als Gate material unterschiedliche Materialien eingesetzt, wobei insbesondere polykristallines Silizium-Germanium geeignet ist.

Patentansprüche

1. Verfahren zur Herstellung einer Halbleiterfeinstruktur und damit hergestellte Halbleiterbauelemente, beispielsweise Vertikaltransistoren, gekennzeichnet dadurch,

daß das an sich bekannte Halbleitergrundmaterial (1) aus monokristallinem Silizium mit einer Schichtenfolge Si_3N_4 (2), SiO_2 (3) und rauhes Poly-Silizium (4) versehen wird,

daß das Poly-Silizium (4) durch Ätzen in einzelne kleine Silizium-Inseln (5) mit einem Durchmesser von etwa 50 Nanometern zerteilt wird und die darunter liegenden Schichten unter Verwendung der Silizium-Inseln (5) als Maske durch anisotropes SiO_2 - und Si_3N_4 -Ätzen zu feingliedrigen SiO_2 -Säulen (6) bis zum Erreichen des monokristallinen Siliziums ausgebildet werden daß dann unter Verwendung der SiO_2 -Inseln (5) als Maske durch anisotropes Ätzen der Oberfläche des Halbleitergrundmaterials (1) ebenso feingliedrige Silizium-Säulen (12) ausgebildet werden,

daß dann durch senkrechte Implantation der obo-

ren Bereiche der Silizium-Säulen (12) und der unteren Grabenbereiche hoch dotierte Gebiete (7a, 7b) ausgebildet werden, daß eine Zwischenschicht (9) erzeugt wird,

daß eine Gate-Schicht aus einkristallinem, polykristallinem oder metallischem Material abgeschieden wird

daß die Gate-Schicht (10) planarisiert wird, so daß die Silizium-Säulen (12) im oberen Teil mit ihren Nitrid-Kappen (8) freigelegt werden,

daß die Gate-Schicht (10) mittels lithografischer Prozesse strukturiert wird und anschließend eine Oxyd-Schicht (11) ausgebildet wird,

daß mittels Si_3N_4 -Ätzen die oberen Bereiche der Silizium-Säulen (12) freigelegt werden,

daß durch Lithografie-Prozesse lokal begrenzte Kontaktlöcher in der Oxyd-Schicht (11) geätzt werden, eine Metallisierung erfolgt und die Metallschicht (17) strukturiert wird.

2. Verfahren nach Anspruch 1 dadurch gekennzeichnet, daß vor der Erzeugung der Zwischenschicht (9) auf der seitlichen Oberfläche der Silizium-Säulen (12) eine pseudomorphe Schichtenfolge von Silizium und Silizium-Germanium mit unterschiedlichem Germanium-Gehalt abgeschieden wird.

3. Halbleiterbauelement, hergestellt nach dem Verfahren entsprechend Ansprüchen 1 und 2, gekennzeichnet dadurch, daß durch Ausbilden der Zwischenschicht (9) als Oxydschicht ein vertikaler MOS-Transistor ausgebildet ist.

4. Halbleiterbauelement, hergestellt nach dem Verfahren entsprechend Ansprüchen 1 und 2, gekennzeichnet dadurch, daß durch Ausbilden der Zwischenschicht (9) und der Gate-Schicht (10) als dotierte einkristalline Silizium- oder Silizium-Germaniumschichten ein vertikaler Sperrschichtfeldeffekttransistor ausgebildet ist.

5. Halbleiterbauelement, hergestellt nach dem Verfahren entsprechend Ansprüchen 1 und 2, gekennzeichnet dadurch, daß durch Ausbilden der Zwischenschicht (9) als dotierte einkristalline Silizium- oder Silizium-Germaniumschicht und der Gate-Schicht (10) als Metallschicht ein vertikaler Schottkytransistor ausgebildet ist.

6. Halbleiterbauelement nach Anspruch 3 oder 4 gekennzeichnet dadurch, daß die Lateralabmessungen der Silizium-Säulen und die Abstände der Säulen deutlich kleiner sind als die minimalen Strukturmaße, die die verwendete Lithografie erlaubt.

7. Halbleiterbauelement nach Anspruch 3 gekennzeichnet dadurch, daß die Gate-Schicht (10) aus polykristallinem Silizium-Germanium ausgebildet ist.

8. Halbleiterbauelement nach Anspruch 4 oder 5 gekennzeichnet dadurch, daß durch Ausbilden des Halbleitergrundsubstrates (1) als Einstrahlgebiet für elektromagnetische Strahlung eine Fotodiode ausgebildet ist.

9. Halbleiterbauelement nach Anspruch 4 oder 5 gekennzeichnet dadurch, daß durch Einbringen von transparenten Stellen in die Leitbahn (17) eine Fotodiode ausgebildet ist.

- Leerseite -

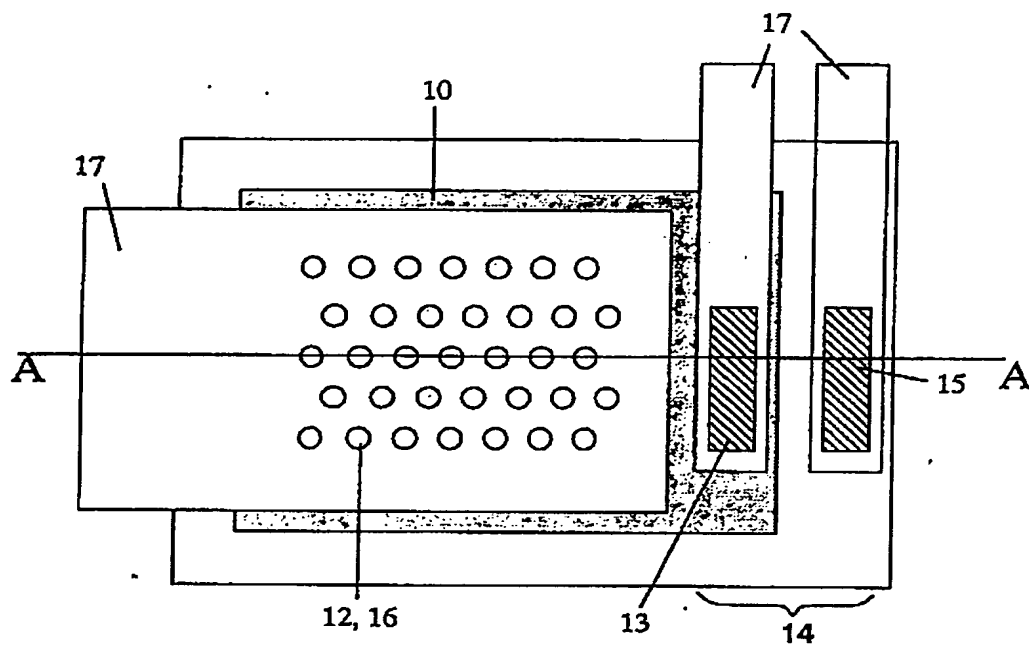


Fig.1

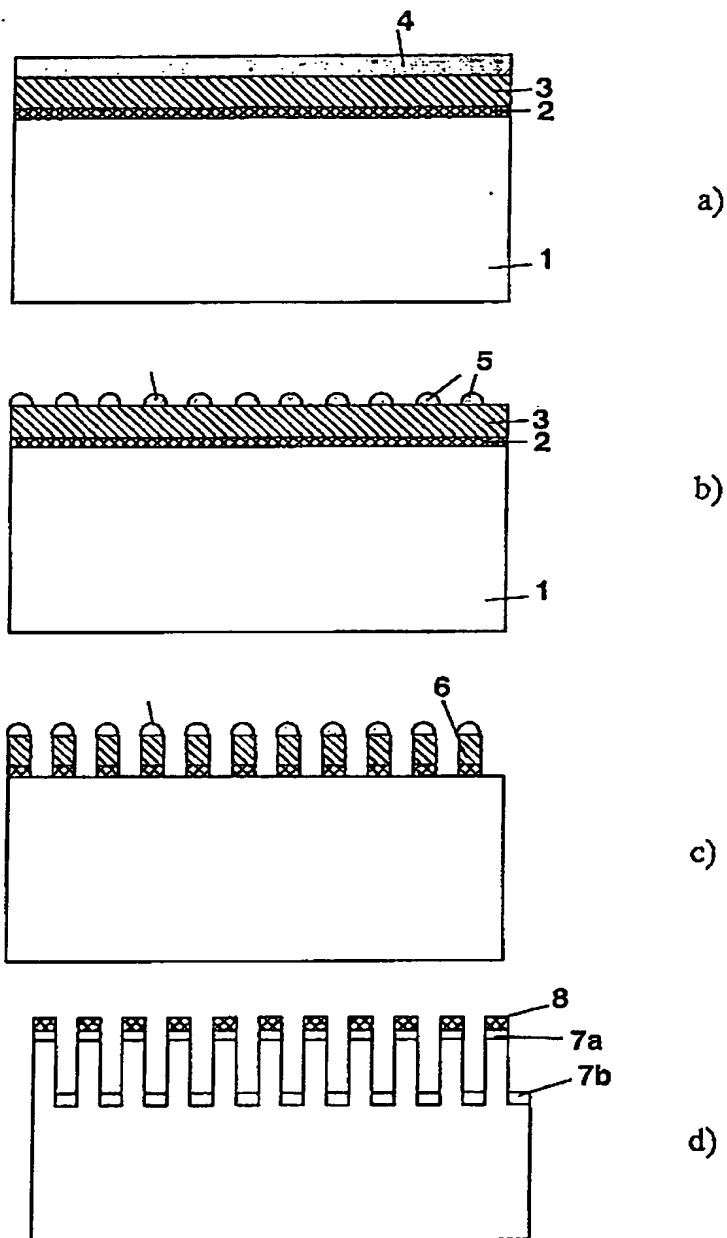
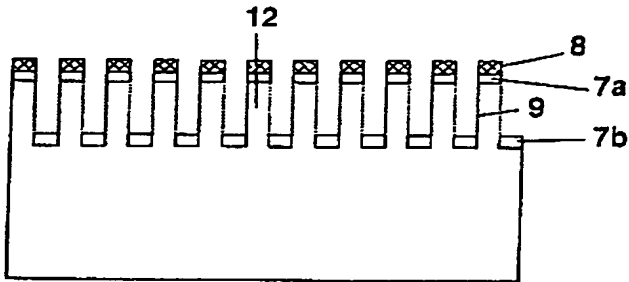
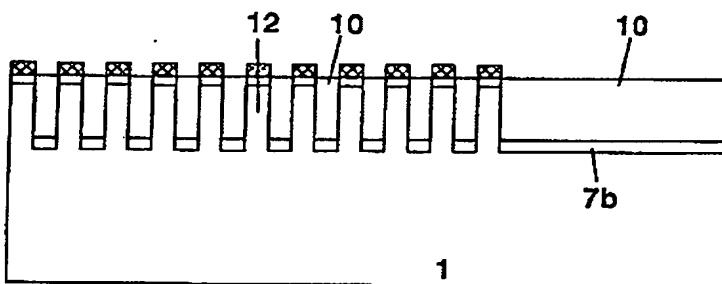


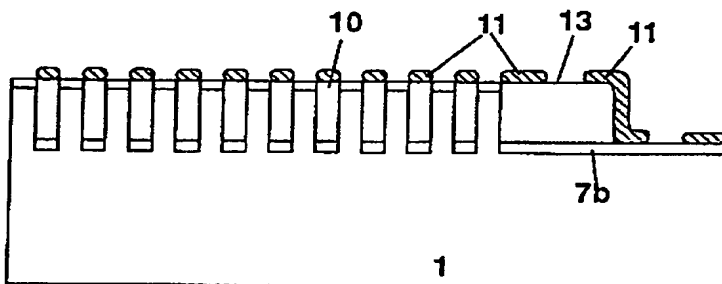
Fig.2



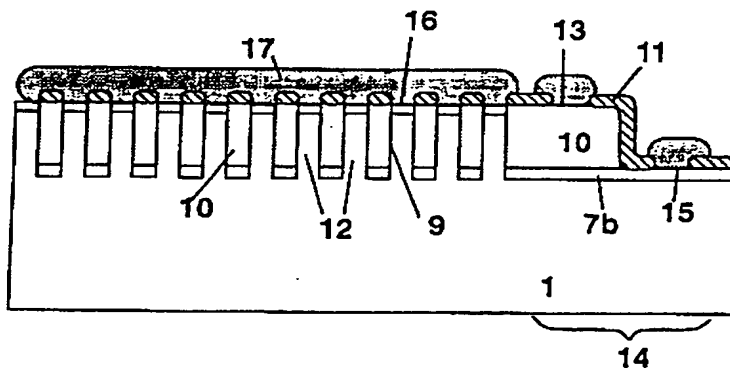
e)



f)



g)



h)

DOCKET NO: LH-T0232
SERIAL NO: Wolfgang Posner et al
APPLICANT: LERNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL. (954) 925-1100

Fig.2